

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-186475

(43)Date of publication of application : 02.08.1988

(51)Int.Cl.

H01L 29/78  
H01L 29/68

(21)Application number : 62-017372

(71)Applicant : NISSAN MOTOR CO LTD

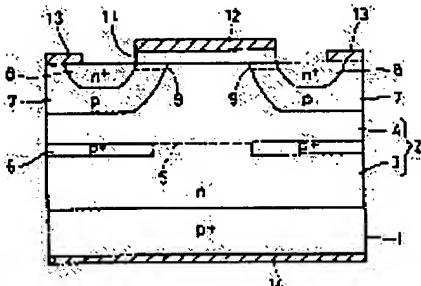
(22)Date of filing : 29.01.1987

(72)Inventor : KURAISON TORONNAMUCHIYAI

## (54) CONDUCTIVITY MODULATION TYPE MOSFET

## (57)Abstract:

PURPOSE: To obtain a title device having a high latch-up resistance and capable of fully reducing the ON resistance at the operation time by providing a grid collector of a first conductivity type buried in a base region of a second conductivity type and collecting the minority carriers which have modulated the conductivity of the base region of the second conductivity type.



CONSTITUTION: On a high-concentration region 1 of a first conductivity type, a base region 2 of a second conductivity type is formed which has its conductivity modulated by implantation of minority carriers from the high concentration region 1 and effectively acts as a drain, and in the region 2, a grid collector 6 of the first conductivity type is buried which collects the minority carriers that have modulated the conductivity of the region 2. Further, a base region 7 of the first conductivity type is formed on the surface side of said base region 2 of the second conductivity type, a source region 8 of the second conductivity type is formed on the surface side of the region 7, and on the base region 7 of the first conductivity type between the source region 8 and said base region 2 of the second conductivity type, a gate electrode 12 inducing a channel 9 in the base region of the first conductivity type is provided through a gate insulating film 11.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

[examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑯ 公開特許公報 (A)

昭63-186475

⑤Int.Cl.

H 01 L 29/78  
29/68

識別記号

321

庁内整理番号

J-8422-5F  
8526-5F

⑥公開 昭和63年(1988)8月2日

審査請求 未請求 発明の数 1 (全6頁)

⑦発明の名称 電導度変調形MOSFET

⑧特願 昭62-17372

⑨出願 昭62(1987)1月29日

⑩発明者 クライソン トロンナ 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社  
ムチヤイ 内

⑪出願人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑫代理人 弁理士 三好 保男 外1名

## 明細書

## 1. 発明の名称

電導度変調形MOSFET

## 2. 特許請求の範囲

第1導電形の高濃度領域と、  
該高濃度領域上に形成され当該高濃度領域から  
の少数キャリヤ注入により電導度が変調されると  
ともに実質的にドレインとして作用する第2導電形  
のベース領域と、

該第2導電形のベース領域内に埋込まれ当該第  
2導電形のベース領域の電導度を変調させた少数  
キャリヤを捕集する第1導電形のグリッドコレク  
タと、

前記第2導電形のベース領域の表面側に形成さ  
れた第1導電形のベース領域と、

該第1導電形のベース領域の表面側に形成され  
た第2導電形のソース領域と、

該ソース領域と前記第2導電形のベース領域と  
の間の前記第1導電形のベース領域上にゲート絶  
縁膜を介して設けられ当該第1導電形のベース領

域にチャネルを誘起させるゲート電極と  
を有することを特徴とする電導度変調形MOS  
FET。

## 3. 発明の詳細な説明

## 〔発明の目的〕

(産業上の利用分野)

この発明は、電導度変調形MOSFETに関し、  
ラッチアップ耐量を改善したものである。

## (従来の技術)

従来の電導度変調形MOSFETとしては、例  
えば第6図に示すようなものがある (U.S.P. 4.  
364,073)。

第6図中、21はホール注入源となる第1導電  
形のP<sup>+</sup>アノード領域、22は実質的にドレイン  
として作用する低不純物濃度の第2導電形のN  
ベース領域であり、Nベース領域22は、P<sup>+</sup>アノ  
ード領域21を基板としてエピタキシャル法によ  
り形成されている。

上記のようにP形を第1導電形としたとき、こ  
れと反対導電形のN形は第2導電形となる。

nベース領域22の表面側には、DSA (Diffusion Self Alignment) 技術によってpベース領域23およびn<sup>+</sup>ソース領域24が形成されている。またn<sup>+</sup>ソース領域24とnベース領域22との間ににおけるpベース領域23上には、そのpベース領域23にチャネル25を誘起させるゲート電極27がゲート酸化膜(絶縁膜)26を介して設けられている。

28はソース電極であり、ソース電極28はn<sup>+</sup>ソース領域24およびpベース領域23に接続されている。29はアノード電極である。

上述のように電導度変調形MOSFETは、通常の複形MOSFETに対して、そのドレイン相当領域にp<sup>+</sup>アノード領域21を付加した構造とみることができる。

そしてアノード電極29に所要値の正電圧が加えられ、ゲート電極27に閾値電圧以上のゲート電圧が加えられると、ゲート電極27直下にチャネル25が誘起されてpベース領域23の表面層が導通し、n<sup>+</sup>ソース領域24からチャネル25

を通ってnベース領域22に電子電流が流入される。一方、p<sup>+</sup>アノード領域21からは、nベース領域22に多量のホール(少数キャリヤ)が注入される。

nベース領域22に注入されたホールは、チャネル25から流れ込んだ電子と再結合しながら一部はpベース領域23へ流れ込み、ソース電極28へ抜ける。しかしnベース領域22には、なお多量のキャリヤ蓄積が生じて電導度変調が起き、動作時のオン抵抗が低減する。

このように電導度変調形MOSFETは、動作時のオン抵抗が非常に低くなり、且つ高耐圧であるという特性を有している。

しかるに電導度変調形MOSFETは、前述のようにp<sup>+</sup>アノード領域21を有し、このp<sup>+</sup>アノード領域21上にnベース領域22が存在し、nベース領域22にはpベース領域23およびn<sup>+</sup>ソース領域24が形成されている。

このような構造から、その内部には、第7図の等価回路に示すように、pnpn形のトランジスタ

Q<sub>1</sub>およびn<sup>+</sup>p<sup>+</sup>n形のトランジスタQ<sub>2</sub>が寄生的に生じ、この両トランジスタQ<sub>1</sub>、Q<sub>2</sub>の結合により、pnpnサイリスタが形成されている。第7図中、R<sub>b</sub>はn<sup>+</sup>p<sup>+</sup>n形のトランジスタQ<sub>2</sub>のベース抵抗で、pベース領域23の部分に生じる。

このため、トランジスタQ<sub>1</sub>のエミッタに相当するp<sup>+</sup>アノード領域21から注入されたホールのうち、そのコレクタに相当するpベース領域23に達する電流をI<sub>b</sub>とすると、pベース領域23にI<sub>b</sub>・R<sub>b</sub>なる電圧降下が生じ、この電圧降下がトランジスタQ<sub>2</sub>のベース閾値電圧(≈0.6V)を超えると、当該トランジスタQ<sub>2</sub>がオン状態に転じて、そのコレクタ電流、即ち他のトランジスタQ<sub>1</sub>のベース電流の増加を引き起す。この結果、トランジスタQ<sub>1</sub>のコレクタ電流であるI<sub>b</sub>が増加してトランジスタQ<sub>2</sub>のベース電流が増加するという正帰還ループができてラッチアップ現象が発生する。ラッチアップ現象が発生すると、サイリスタ動作が生じるので電源を一旦切らなければ戻らない。

したがってラッチアップ現象の発生を防止するためには、pベース領域23部分の抵抗R<sub>b</sub>およびこれに流れる電流I<sub>b</sub>をできる限り小さくすることが重要となる。

このため、従来の電導度変調形MOSFETにあっては、nベース領域22の厚さを厚くして、p<sup>+</sup>アノード領域21からそのnベース領域22に注入されるホールの大部分が再結合されるようにし、またp<sup>+</sup>アノード領域21とnベース領域22とで構成される寄生トランジスタQ<sub>1</sub>のエミッタ注入効率を落すことが行なわれていた。

(発明が解決しようとする問題点)

しかしながら、nベース領域22の厚さを厚くしてp<sup>+</sup>アノード領域21から注入されるホールの大部分を再結合させようすると、nベース領域22は低不純物濃度領域であるため動作時のオン抵抗を十分に低くすることができないという問題点があった。

この発明は、このような従来の問題点に着目してなされたもので、ラッチアップ耐量が高く且つ

動作時のオン抵抗を十分に低くすることのできる電導度変調形MOSFETを提供することを目的とする。

## 〔発明の構成〕

## (問題点を解決するための手段)

この発明は上記目的を達成するために、第1導電形の高濃度領域と、該高濃度領域上に形成され当該高濃度領域からの少数キャリヤ注入により電導度が変調されるとともに実質的にドレインとして作用する第2導電形のベース領域と、該第2導電形のベース領域内に埋込まれ当該第2導電形のベース領域の電導度を変調させた少数キャリヤを捕集する第1導電形のグリッドコレクタと、前記第2導電形のベース領域の表面側に形成された第1導電形のベース領域と、該第1導電形のベース領域の表面側に形成された第2導電形のソース領域と、該ソース領域と前記第2導電形のベース領域との間の前記第1導電形のベース領域上にゲート絶縁膜を介して設けられ当該第1導電形のベース領域にチャネルを誘起させるゲート電極とを有

することを要旨とする。

## (作用)

第1導電形の高濃度領域から第2導電形のベース領域に注入されて、この第2導電形のベース領域に電導度変調を生じさせた少数キャリヤの大部分は、第1導電形のグリッドコレクタに捕集されて、このグリッドコレクタ内で多数キャリヤの一部として吸収消滅する。したがって第1導電形のベース領域への少数キャリヤの流入が極めて少なくなってラッピング現象の発生が防止される。

このように少数キャリヤはグリッドコレクタの作用で吸収され消滅するので、第2導電形のベース領域はその厚さを耐圧を所定値に保持し得る範囲で所定の厚さまで薄くすることができ、オン抵抗の低減が図られる。

## (実施例)

以下、この発明の実施例を図面に基づいて説明する。

第1図ないし第3図は、この発明の一実施例を示す図である。

まず構成を説明すると、第1図中、1はホール注入源となる高濃度領域としてのP<sup>+</sup>アノード領域であり、P<sup>+</sup>アノード領域1上には、当該P<sup>+</sup>アノード領域1からのホール(少数キャリヤ)注入により電導度変調が起きるとともに、実質的にドレインとして作用する低不純物濃度のnベース領域2が形成されている。

そして、このnベース領域2内のやや上側寄りに、当該nベース領域2に電導度変調を生じさせたホールを捕集して、これをほぼ消滅させるP<sup>+</sup>グリッドコレクタ6が埋込まれている。P<sup>+</sup>グリッドコレクタ6は、後述するPベース領域へのホールの流入を阻止することを目的とするものであるので、この目的を効果的に生じさせるために、そのPベース領域の下方側の所定の部分にそれ部分的に形成された高不純物濃度のP<sup>+</sup>拡散層で構成されている。

nベース領域2内へのP<sup>+</sup>グリッドコレクタ6の埋込みは、例えば次のようにして形成される。

即ち、まずP<sup>+</sup>アノード領域1を基板として、

エピタキシャル法により第1nベース領域3が所要の厚さで、所要の低不純物濃度となるように形成される。次いで第1nベース領域3の表面に、所定パターンのP<sup>+</sup>グリッドコレクタ6が高不純物濃度となるように拡散により形成される。このようにしてP<sup>+</sup>グリッドコレクタ6が形成された第1nベース領域3を備えたエピタキシャルシリコンウエーハと、第2nベース領域4となる低不純物濃度のシリコンウエーハとが、公知のシリコンウエーハの直接接合法(特開昭60-51700号公報)により張り合わせ界面5の部分で直接接合される。この直接接合の際、第1nベース領域3の表面に予め拡散形成された所定パターンのP<sup>+</sup>グリッドコレクタ6は、Pベース領域の直下となるように位置付けされる。P<sup>+</sup>アノード領域1から注入されてnベース領域2に電導度変調を生じさせたホールは、P<sup>+</sup>グリッドコレクタ6で捕集されてほぼ消滅するので、nベース領域2の厚さは、ホールを再結合させる目的で格別厚くする必要はなく、第1nベース領域3と第2nベース

ス領域4との張り合わせで形成されたnベース領域2の全体の厚さは、可能な範囲で所定の厚さまで薄くされる。

上記のようにして形成されたp<sup>+</sup>グリッドコレクタ埋込みのnベース領域2の表面側に、pベース領域7およびn<sup>+</sup>ソース領域8が形成され、さらにn<sup>+</sup>ソース領域8とnベース領域2との間ににおけるpベース領域7上には、そのpベース領域7にチャネル9を誘起させるためのゲート電極12がゲート酸化膜(絶縁膜)11を介して設けられている。13はソース電極であり、ソース電極13は、n<sup>+</sup>ソース領域8およびpベース領域7に接続されている。14はアノード電極である。

次に第2図および第3図を用いて作用を説明する。

nベース領域2中にp<sup>+</sup>グリッドコレクタ6が埋込まれることにより、電導度変調形MOSFET中には、第2図に示すように、前記第7図に示した寄生トランジスタQ<sub>1</sub>、Q<sub>2</sub>の他に、p<sup>+</sup>アノード領域1、第1nベース領域3およびp<sup>+</sup>グ

一部として吸収される。したがってp<sup>+</sup>グリッドコレクタ6の部分でホールの殆んどが捕集されて消滅し、またp<sup>+</sup>グリッドコレクタ6を形成しているp<sup>+</sup>拡散層は、特にpベース領域7の下方に配置されているので、pベース領域7へのホールの流入が顯著に少なくなる。

この結果、当該電導度変調形MOSFETは、出力電流(ドレイン電流)があるレベル以上となつても、寄生トランジスタQ<sub>2</sub>のベース電位の上昇が抑制され、その寄生トランジスタQ<sub>2</sub>のオン動作、ひいてはサイリスタ動作が防止されてラッチャップに対する耐量が向上される。

このように、この実施例の電導度変調形MOSFETは、寄生トランジスタQ<sub>1</sub>、Q<sub>2</sub>側のオン動作、云い換えれば、サイリスタ動作が抑制されるので、その耐圧は、前述した他の寄生トランジスタQ<sub>3</sub>のコレクタ耐圧で規定される。そしてこのコレクタ耐圧は、第1nベース領域3の厚さでほぼ決まり、且つこの厚さはオン抵抗にも関係するので、この第1nベース領域3の厚さを所定の

リッドコレクタ6の各領域によって、p<sup>+</sup>アノード領域1をエミッタとしたpnp形の寄生バイポーラトランジスタQ<sub>3</sub>が形成されている。この寄生バイポーラトランジスタQ<sub>3</sub>のコレクタ耐圧は、低不純物濃度の第1nベース領域3の厚さでほぼ決められる。

そして、アノード電極14に所要値の正電圧が加えられ、ゲート電極12に閾値電圧以上のゲート電圧が加えられると、ゲート電極12直下のpベース領域7の表面層が反転してチャネル9が誘起され、n<sup>+</sup>ソース領域8とドレインとして作用するnベース領域2とが導通する。

一方、p<sup>+</sup>アノード領域1からnベース領域2に多量のホール(少数キャリヤ)が注入され、nベース領域2に電導度変調が起き、このnベース領域2の部分の抵抗が十分に低くなる。そして電導度変調を生じさせたホールはnベース領域2内を拡散してp<sup>+</sup>グリッドコレクタ6の埋込領域に達し、このp<sup>+</sup>グリッドコレクタ6に捕集されて当該p<sup>+</sup>グリッドコレクタ6内で多数キャリヤの

耐圧が得られる範囲で薄く設定することにより、所定の耐圧で且つ低オン抵抗を有する優れた特性の電導度変調形MOSFETが実現される。

第3図のa特性線は、上述のようなこの実施例に係る電導度変調形MOSFETの耐圧特性を示したもので、前記第6図の従来例におけるラッチャップ領域線bと比べると、電導度変調形MOSFETの通常の使用範囲である或るレベル以上のドレイン電流値において、この実施例のものは降伏耐量が優れ、素子の安全動作領域が広げられている。

次いで第4図および第5図には、この発明の他の実施例を示す。

この実施例は、p<sup>+</sup>グリッドコレクタ16のパターンを、多数の円孔を有するようなメッシュ状のパターンとして、第1nベース領域3と第2nベース領域4との直接接合法による張り合わせの際に、pベース領域7に対するグリッドコレクタ16の位置合わせの手間が省けるようにしたものである。

第5図は、p<sup>+</sup>グリッドコレクタ16の埋込み部分の平面図を示したもので、多数の円孔の部分に第1nベース領域3が盛んでおり、この円孔の部分で、n<sup>+</sup>ソース領域8からの電子電流がアノード電極14側に抜ける。

ラッチアップ耐量の向上およびオン抵抗の低減作用等については、前記一実施例のものとほぼ同様である。

なお、上述の各実施例ではnチャネルの電導度変調形MOSFETについて述べてきたが、pチャネルの電導度変調形MOSFETにも同様に適用できる。このとき高濃度領域はカソードとなる。

#### [発明の効果]

以上説明したように、この発明によれば第1導電形の高濃度領域上に、この高濃度領域からの少数キャリヤ注入によって電導度が変調されるとともに実質的にドレンとして作用する第2導電形のベース領域を形成し、この第2導電形のベース領域内に当該第2導電形のベース領域に電導度変調を生じさせた少数キャリヤを捕集する第1導電

形のグリッドコレクタを埋込み、第2導電形のベース領域の表面側には第1導電形のベース領域を形成し、さらにこの第1導電形のベース領域の表面側に第2導電形のソース領域を形成したので、第2導電形のベース領域に電導度変調を生じさせた少数キャリヤの大部分は、第1導電形のグリッドコレクタに捕集されて、そのグリッドコレクタ内で多数キャリヤの一部として吸収され消滅する。したがって第1導電形のベース領域への少数キャリヤの流入が顕著に減少しラッチアップ現象の発生が防止される。またこれとともに、第2導電形のベース領域は、耐圧を所定値に保持し得る範囲でその厚さを薄くすることができるので、動作時のオン抵抗を低くすることができるという利点がある。

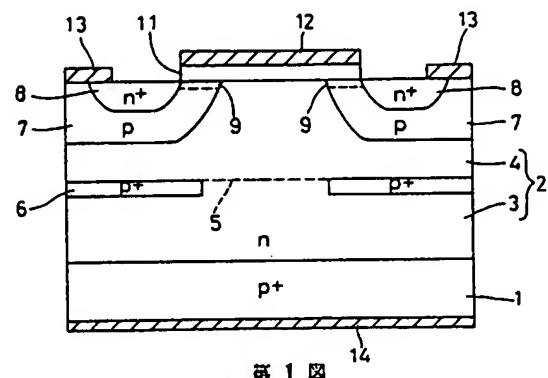
#### 4. 図面の簡単な説明

第1図ないし第3図はこの発明に係る電導度変調形MOSFETの一実施例を示すもので、第1図は縦断面図、第2図は寄生トランジスタを含む等価回路図、第3図は耐圧特性を従来

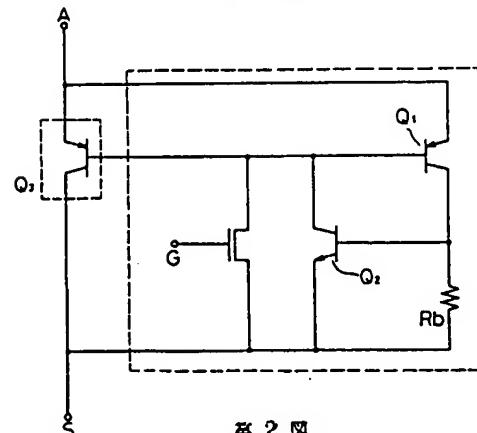
例と比較して示す特性図、第4図はこの発明の他の実施例を示す縦断面図、第5図は第4図のV-V線断面図、第6図は従来の電導度変調形MOSFETを示す縦断面図、第7図は同上従来例における寄生トランジスタを含む等価回路を示す回路図である。

- 1: p<sup>+</sup>アノード領域(高濃度領域)、
- 2: nベース領域、
- 6、16: p<sup>+</sup>グリッドコレクタ、
- 7: pベース領域、
- 8: n<sup>+</sup>ソース領域、
- 9: チャネル、
- 11: ゲート酸化膜(絶縁膜)、
- 12: ゲート電極、
- 13: ソース電極、
- 14: アノード電極。

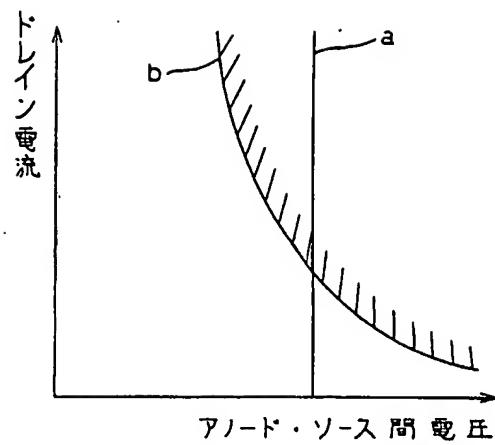
代理人 弁理士 三好 保男



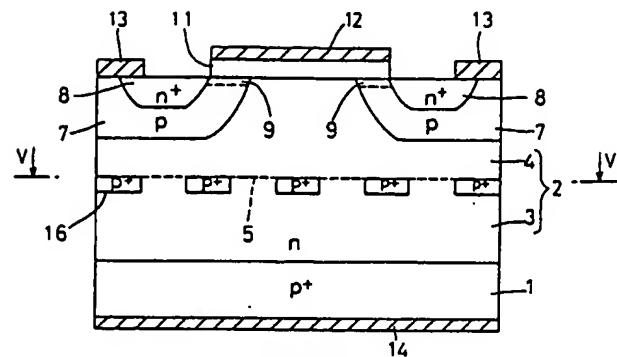
第1図



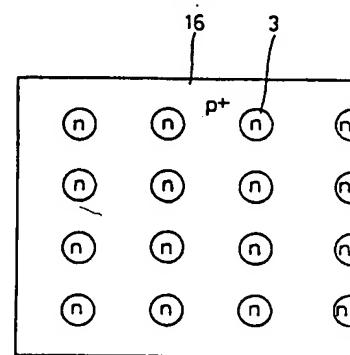
第2図



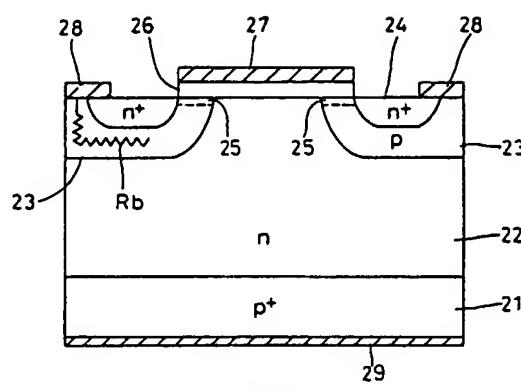
第3図



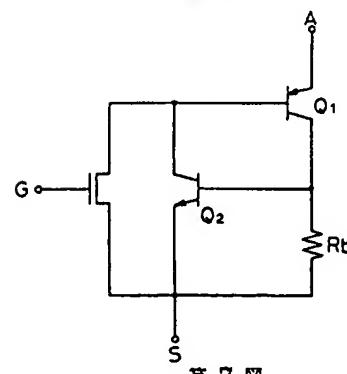
第4図



第5図



第6図



第7図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**  
**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**